

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-132412

(43)Date of publication of application : 15.06.1987

(51)Int.Cl.

H03G 3/10

(21)Application number : 60-273826

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 04.12.1985

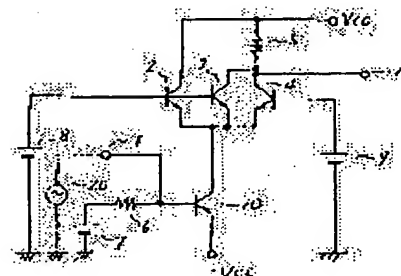
(72)Inventor : OKUBO BUNICHI

(54) AMPLIFIER

(57)Abstract:

PURPOSE: To vary stepwise the gain by connecting a base of the 3rd transistor (TR) to the 3rd bias circuit and connecting collectors of the 2nd and 3rd TRs to an output terminal respectively.

CONSTITUTION: The emitters of the 1st ~3rd TRs 2~4 with equal polarity is connected in common and the collector of the 4th TR 10 of the same polarity as the TRs 2~4 is connected to the common emitter. The base of the TR 10 is used as an input terminal, the base of the TR 10 is connected to the 1st bias circuit via the 1st resistor 6 and the emitter is connected to the 2nd bias circuit. Bases of the 1st, 2nd TRs 2, 3 are connected to the 3rd bias circuit and the collector of the 1st TR 2 is connected to the 4th bias circuit and the collector of the 2nd, 3rd TRs 3, 4 is connected to the 4th bias circuit via the 2nd resistor 5, the base of the 3rd TR 4 is connected to the 5th bias circuit and the collectors of the 2nd and 3rd TRs 3, 4 are used as the output terminal. Thus, the stepwise gain variation is attained easily.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭62-132412

⑬ Int. Cl.

H 03 G 3/10

識別記号

庁内整理番号

B-7827-5J

⑭ 公開 昭和62年(1987)6月15日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 増幅器

⑯ 特 願 昭60-273826

⑰ 出 願 昭60(1985)12月4日

⑱ 発 明 者 大 久 保 文 一 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑲ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

増幅器

2. 特許請求の範囲

第1、第2、第3のトランジスタのエミッタが共通に接続され、該共通エミッタに第4のトランジスタのコレクタが接続され、前記第4のトランジスタのベースは第1の抵抗を介して第1のバイアス回路に接続されると共に入力信号が供給され、前記第1および第2のトランジスタのベースは第2のバイアス回路に、前記第3のトランジスタのベースは第3のバイアス回路に夫々接続され、前記第2および第3のトランジスタのコレクタは出力端子に接続されていることを特徴とする増幅器。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は増幅器に関し、特に段階的に利得を切

換る増幅器に関する。

〔従来の技術〕

一般に可変利得増幅器は、オーディオ分野の信号系や測定装置などのコントロールに使われ、外部の直流電圧又は直流電流等により利得を変えることが要求される。

従来の可変利得増幅器の一例を第3図に示す。この可変利得増幅器はトランジスタ24、25、26、27、29及び定電流源28、31、バイアス32よりなる差動増幅器でありトランジスタ22を介して信号源20が接続されている。トランジスタ22のコレクターエミッタ間のインピーダンスはトランジスタ22のベースに接続されている。定電流源23により可変される。ここで抵抗30のインピーダンスを R_1 、トランジスタ22のコレクターエミッタ間のインピーダンスを R_{ce} とすると、第3図における増幅器の利得は、下式(1)になる。

$$\frac{R_1}{R_{ce}} \dots \dots (1)$$

(1)式よりトランジスタ2,2のコレクターエミッタ間のインピーダンスを定電流源2,3の電流を可変することにより増幅器の利得を可変することができる。前述のことより、オーディオ分野の信号系や測定装置などのコントロールに使用した場合定電流源2,3を外部に設置すれば、外部より利得を可変することができる。

(発明が解決しようとする問題点)

第3図の従来の回路においては、設定利得の自由度はあるが、トランジスタ2,2のコレクターエミッタ間のインピーダンスを定電流源2,3によって可変するため、定電流源及びトランジスタの能力に左右される。この従来回路をFMやAMの受信器のL/Dx (入力感度変更回路)回路などの段階的な利得の可変を必要とした場合、利得を調整する定電流源のわずかな変化で利得が変化するため設定が容易でない。また集積回路化した場合トランジスタのコレクターエミッタ間のインピーダンスのバラツキも大きいので利得のバラツキも大きくなる。

1のトランジスタであるトランジスタ2, 第2のトランジスタであるトランジスタ3, 第3のトランジスタであるトランジスタ4 (以下トランジスタをT_iと示す。)は差動構成をなし、第4のトランジスタであるT₁₀及び第1の抵抗である抵抗6定電圧源7によりバイアスされている。T₂のベースは、定電圧源8によりバイアスされ、T₄のベースは電圧源9によりバイアスされている。第2の抵抗である抵抗5は差動の負荷となっている。ここで定電圧源8より電圧源9の電位の方が高い場合信号源20より、入力端1に信号が印加されるとT₁₀により電流増幅されT₄を介して負荷である抵抗5に電流が流れ、出力端11には、抵抗5に流れる電流に比例した電圧が発生する。

逆に、定電圧源8より電圧源9の電位の方が低い場合信号源20より入力端1に信号が印加されるとT₁₀により電流増幅されT₃を介して負荷である抵抗5に電流が流れると同時にT₂にも電流が流れる。ここでT₁₀のコレクタに

(問題点を解決するための手段)

本発明の可変利得増幅器は、極性の等しい第1, 第2, 第3のT_iのエミッタが共通に接続され、該共通エミッタに第1, 第2, 第3のT_iと同じ極性の第4のT_iのコレクタが接続され、第4のT_iのベースを入力端とし、第4のトランジスタのベースは第1の抵抗を介して第1のバイアス回路に接続し、第4のT_iのエミッタは第2のバイアス回路に接続され、前記第1, 第2のT_iのベースは、第3のバイアス回路に接続し第1のT_iのコレクタは、第4のバイアス回路に接続され、第2, 第3のT_iのコレクタは第2の抵抗を介して第4のバイアス回路に接続され、第3のT_iのベースは、第5のバイアス回路に接続され、第2, 第3のT_iのコレクタを出力端子としたことにより構成される。このようにすることにより段階的な利得可変を容易に行う。

(実施例)

以下本発明について図面を参照して説明する。

第1図は本発明の一実施例の回路図である。第

流れる電流をI₁とし、T₂のエミッタ面積をA、T₃のエミッタ面積をBとすると、抵抗5に流れる電流は(2)式になる

$$\text{抵抗5に流れる電流} = \frac{B}{A+B} I_1 \quad \dots\dots (2)$$

出力端11には抵抗5に流れる電流に比例した電圧が発生するためT₂, T₃の面積比と抵抗5により増幅利得が設定できる。以上のことより定電圧源8より電圧源9の電位の方が高い場合より定電圧源8より電圧源9の電位が低い方がT₂, T₃のエミッタ面積比だけ出力電位すなわち増幅利得が低下する。上記のことより負荷抵抗5の値及びT₃, T₂のエミッタ面積比を設定すれば、自由に2段階の利得をもった増幅器にできる。従来の第3図で問題であった、段階的な利得可変を容易に設定できる。すなわち抵抗値、エミッタ面積比の設定は容易である。また第1図において電圧源9により容易に利得の切換が可能であり集積回路化した場合でも利得のバラツキは小さい。

第2図に本発明で正の単電源を用いた場合の具体例を示す。第2図において第1図と対応する部分については、同一番号で示し説明をばぶく。抵抗40、42、T、43は、T、2とT、10に所定のバイアスを与える為の回路である。抵抗44、45、46はT、4に所定のバイアスを与える回路でT、47によりT、4のベースの電位をT、2、3のベース電位に比べて高くしたり低くしたりすることにより、利得を可変するものである。

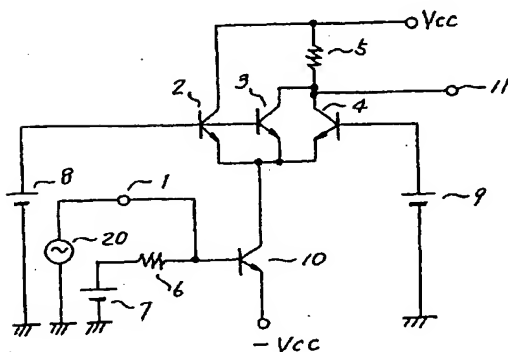
〔発明の効果〕

以上説明したように本発明は、段階的な利得可変を容易に設定できる。

4. 図面の簡単な説明

第1図は本発明の一実施例の回路図、第2図は本発明の一実施例の回路図、第3図は従来例の回路図である。

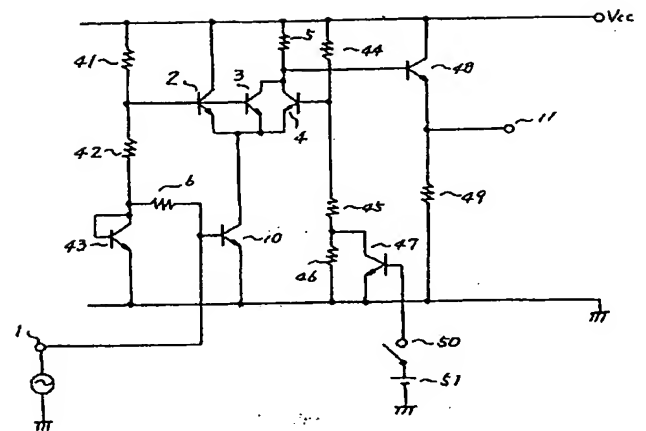
1……入力端、2～4……トランジスタ、5、6……抵抗、7、8……定電圧源、9……電圧源、10……トランジスタ、11……出力端、20……



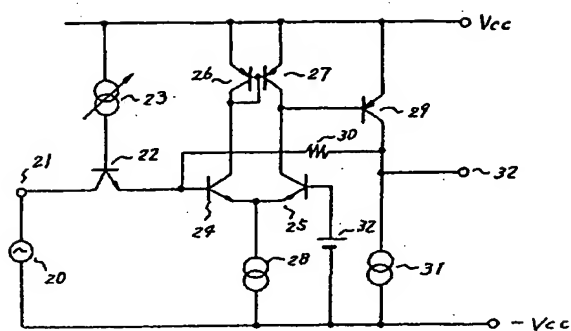
第1図

…信号源、21……入力端、22……トランジスタ、23……電流源、24～27……トランジスタ、28……定電流源、29……トランジスタ、30……抵抗、31……定電流源、32……出力端、41、42……抵抗、43……トランジスタ、44～46……抵抗、47、48……トランジスタ、49……抵抗、50……切換スイッチ、51……定電圧。

代理人 弁理士 内 原 晋



第2図



第 3 図